

**MANUFACTURE OF SEMICONDUCTOR DEVICE**

Publication number: JP54150076

Publication date: 1979-11-24

Inventor: TAKEUCHI TSUKASA; KOIDE MASANOBU; SHIMURA MIKIHICO; FUJIMOTO AKIRA; UEHARA MASAMITSU

Applicant: OMRON TATEISI ELECTRONICS CO

Classification:

- International: H01L33/00; H01L21/52; H01L21/58; H01L33/00; H01L21/02; (IPC1-7): H01L21/58; H01L33/00

- European:

Application number: JP19780059427 19780517

Priority number(s): JP19780059427 19780517

[Report a data error here](#)

**Abstract of JP54150076**

PURPOSE:To increase the adhesive force by laminating the gold-zinc alloy, the gold-tin alloy and the tin in that order to the P layer side of the III-V group semiconductor chip and then carrying out the heat bonding based on the P layer. CONSTITUTION:The Si-added layer is epitaxial-grown to GaAs to form p-layer 1 and n-layer 2. And Au-Zn alloy 4 and Au-Ge alloy 5 are formed at the layer 1 and layer 2 each. Then Au-Sn eutectic alloy 6 (80wt% of Au, 20wt% of Sn) and Sn 7 are laminated on layer 4. Chip 10 is formed by scribing and then put on basement 11 at the side of the p-layer to be heat-bonded. With this method, it is not required to insert another foil between the chip and the basement or to add vibrations. Thus, the backward characteristics is enhanced, and the using amount of gold is reduced with increased adhesive force.

Data supplied from the **esp@cenet** database - Worldwide

## ⑪公開特許公報 (A)

昭54—150076

⑫Int. Cl.<sup>2</sup>  
H 01 L 21/58  
H 01 L 33/00識別記号  
99(5) C 21  
99(5) J 4府内整理番号  
7357—5F  
7377—5F⑬公開 昭和54年(1979)11月24日  
発明の数 1  
審査請求 未請求

(全 4 頁)

## ⑭半導体装置の製造方法

京都市右京区花園土堂町10番地

立石電機株式会社内

⑫特 願 昭53—59427

⑭發明者 藤本晶

⑬出 願 昭53(1978)5月17日

京都市右京区花園土堂町10番地

⑭發明者 竹内司

立石電機株式会社内

京都市右京区花園土堂町10番地

同

京都市右京区花園土堂町10番地

立石電機株式会社内

同

小出正信

上原正光

京都市右京区花園土堂町10番地

立石電機株式会社内

立石電機株式会社内

同

志村幹彦

立石電機株式会社内

京都市右京区花園土堂町10番地

⑭代理人 弁理士 難波国英

## 明細書

## 1. 発明の名称

半導体装置の製造方法

## 2. 特許請求の範囲

(1) P N 接合を有する半導体チップの P 層側に、金-亜鉛合金層、金-銅合金層、銀層をこの順に形成し、しかるのち P 層側を基台に加熱接合することを特徴とする半導体装置の製造方法。

(2) 上記半導体チップは III-V 族の化合物半導体である特許請求の範囲第 1 項記載の半導体装置の製造方法。

## 3. 着明の詳細な説明

この発明はガリウムヒ素発光ダイオードなど P N 接合を有する半導体チップをシステムやリードフレームなどの基台に接合する半導体装置の製造方法に関するものである。

従来、この種半導体装置の製造方法としては、第 8 図に示すように、半導体チップ 21 とシステム 22 との間に金箔または金-シリコンもしくは金-ゲルマニウム合金箔の厚さ 50  $\mu\text{m}$  程度の箔層 28

を介介し、ついで、振動力を増すために、第 9 図のように全体を振動させながら加圧して、チップ 21 とシステム 22 を接合することが行なわれている。

ところがこの製造方法では、チップ 21 やシステム 22 とは別体の箔層 28 を用意し、それを介介させることや振動が必要で、工程が複雑かつ長時間となる。またこれに加えて振動装置を設けなければならないなど製造コストが高くなる。さらに、この方法では、振動加圧時に箔層 28 から不純物が散逸して第 10 図の実験 A で示すように、逆方向の電圧-電流特性が悪くなる。

一方、上記を改善する方法として、まず第 11 図に示すように、チップに分割する前の P N 接合を有する半導体ウエハ 24 に、蒸着によつて厚さ 1  $\mu\text{m}$  程度の金または金合金の膜 25 を形成し、ついで、第 12 図に示すように、ウエハ 24 にダイヤモンドカッタ 26 でスクライプ線 27 を割設したのち、このスクライプ線 27 に沿つてウエハ 24 を押圧分離して第 13 図のよう半導体チッ

ア28を待て、さらにこのチップ28を、第14図に示すようにシステム29に設置して加熱圧着し、チップ28をシステム29に接合することが描寫されている。

ところがこの方法では、第8図で述べた宿体28の挿入工程や第9図の振動工程が省略できる利点はあるが、ウエハ24に圧着形成される膜25が充分な付着強度を得るために貴金属で厚さ1μmと比較的厚く高価であり、またチップ28を得るに際し、上記膜25の分割がむづかしいため、ウエハ24を分断するのが困難で、製品歩留りが悪い。

この発明は、半導体チップのP層側に金-亜鉛合金層、金-錫合金層および錫層をこの順に形成し、しかるのち、P層側をシステムなどの基台に加熱接合することにより、宿体の挿入工程や振動工程が不要でありながら接着力が大きくとれ、しかも製造コストが安価な半導体装置の製造方法を提供することを目的とするものである。

以下、この発明の実施例を図面にしたがつて説明する。

(3)

説したのち、このスクライプ膜10に沿って押圧分断し、図6に示すような、PN接合を有する半導体チップ10を得る。このチップ10には、上記で述べたように、P層1側に金-亜鉛合金層4、金-錫合金層6、錫層7がこの順に、またN層2側に金-ゲルマニウム合金層5がそれぞれ形成されている。

なお、図5のウエハ3から図6のチップ10に分断するに際し、発明者の経験にわたる実験において、ウエハ3に形成した各層4~7の存在のためにウエハ3の分断が困難であるということは認められなかつた。

さて、しかるのち各層4~7が形成された半導体チップ10のP層1側に、第7図のように、システムやリードフレームなどの基台11に設置した。のち加熱してチップ10と基台11とを接合し、半導体装置は完成する。

つぎに、上記製造方法によつて得た半導体装置のチップと基台との接着力について考察する。

下表は、各種の方法により、チップと基台とを

(5)

まず、たとえばガリウムヒ素(GaAs)などⅢ-V族の化合物半導体の結晶基板にシリコン(Si)ドープを液相エビタキシャル成長させ、第1図のようなP層1とN層2が形成された半導体ウエハ3を得たのち、P層1側に約4000Åの金-亜鉛(Au-Zn)合金層4、N層2側に約4000Åの金-ゲルマニウム(Au-Ge)合金層5をそれぞれ形成する。なお、これら合金層4・5はそれぞれオーミック接続されたアノード電極、カソード電極となる。

つぎに、第8図のように、上記金-亜鉛合金層4の表面に、蒸着により、厚さ8000Å程度の金-錫(Au-Sn)共晶合金層6を形成し、さらに、第4図のように、上記金-錫共晶合金層6の表面に、同じく蒸着により、厚さ5000Å程度の錫(Sn)層7を形成する。なお、上記金-錫合金層6は、金80%、錫20%の重量比にすることが望ましい。

つづいて、第5図のように、上記半導体ウエハ3にダイヤモンドカッタ8でスクライプ膜9を割

(4)

接離させた半導体装置のサンプルにもとづいて、接着力の実験をした測定データである。

チップと基台 間の介在物	接離時の 介在物の形態	
	振 動 層 を形 成	宿 体を介 持
加えた場合		8kg/mm <sup>2</sup>
金-シリコン	加えない場合	0.7kg/mm <sup>2</sup> 0.5~0.6kg/mm <sup>2</sup>
金-ゲルマ	加えた場合	
	加えない場合	0.3kg/mm <sup>2</sup>
金-錫	加えた場合	0.4kg/mm <sup>2</sup> 0.5kg/mm <sup>2</sup>
金-錫、錫 を積層	加えた場合	
	加えない場合	2kg/mm <sup>2</sup> (本実験)

この表からわかるように、本発明に係る製造方法、つまり、第7図のように、チップ10のP層1側に、オーミック接続の金-亜鉛合金層4を形成後、金-錫合金層6、錫層7をこの順に積層したのち、基台11に加熱接合すると、2kg/mm<sup>2</sup>と接着力の大きい半導体装置が得られる。すなわち、チップに、金-シリコン、金-ゲルマあるいは金-錫合金層を形成したり、チップと基台間に宿体

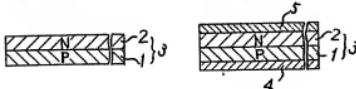
(6)

を介換させ、接着力に振動を加えない場合は0.5～0.9kgと接着力は小さいが、本発明によると、振動を加えない場合でも、上記の2倍以上と接着力が飛躍的に増大される。なお、チップと基台との間に金-シリコンの溶体を介換させ、さらに振動を加えるといった複雑な工程を経て接着力を増す場合には、8kg/mm<sup>2</sup>と大きな接着力となつてゐるが、半導体装置の実際の使用に当つては、2kg/mm<sup>2</sup>の接着力があればチップと基台とが分離することなく、十分その使用に耐えるものである。また、上表に記載されていないが、チップのP層間に合金層を形成し、振動を加えながら加熱接着力すると、振動を加えない場合にくらべ、逆に接着力が減少することが確認されている。

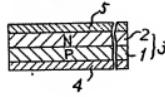
以上詳述したように、この発明に係る半導体装置の製造方法は、チップのP層間に、金-亜鉛合金層、並-錫合金層、錫層をこの順に形成し、かかるのちP層間に基台に別体の溶体を介換させたり、振動を加える方法にくらべ、工程が簡単となりしかも

(7)

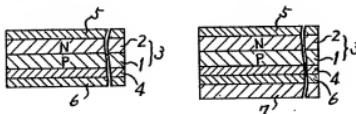
第1図



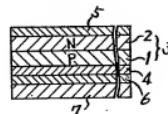
第2図



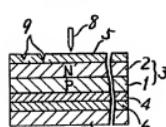
第3図



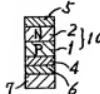
第4図



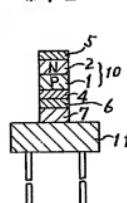
第5図



第6図



第7図



チップと基台の接着力が大きくなる。また、振動にともなう不純物飛散が生じないから、逆方向の電圧-電流特性を向上させることができる。さらに、P層間に形成される金-錫合金層は8000Åと薄く、貴金属である金の使用が従来にくらべ少なくて済むから、製造コストを下げることができます。

## 4. 図面の簡単な説明

第1図ないし第7図は、この発明に係る半導体装置の製造方法の各工程を示す断面図、第8図は従来の半導体装置の製造方法を示す断面図、第9図は同斜視図、第10図は上記従来の製造方法で得た半導体装置の電圧-電流特性図、第11図ないし第14図は従来の他の半導体装置の製造方法の各工程を示す断面図である。

1…P層、2…N層、4…金-亜鉛合金層、6…金-錫合金層、7…錫層、10…半導体チップ、11…基台。

特許出願人 立石電機株式会社

代理人 井理士 離波園英

(8)

(9)

(10)

(11)

(12)

(13)

(14)

(15)

(16)

(17)

(18)

(19)

(20)

(21)

(22)

(23)

(24)

(25)

(26)

(27)

(28)

(29)

(30)

(31)

(32)

(33)

(34)

(35)

(36)

(37)

(38)

(39)

(40)

(41)

(42)

(43)

(44)

(45)

(46)

(47)

(48)

(49)

(50)

(51)

(52)

(53)

(54)

(55)

(56)

(57)

(58)

(59)

(60)

(61)

(62)

(63)

(64)

(65)

(66)

(67)

(68)

(69)

(70)

(71)

(72)

(73)

(74)

(75)

(76)

(77)

(78)

(79)

(80)

(81)

(82)

(83)

(84)

(85)

(86)

(87)

(88)

(89)

(90)

(91)

(92)

(93)

(94)

(95)

(96)

(97)

(98)

(99)

(100)

(101)

(102)

(103)

(104)

(105)

(106)

(107)

(108)

(109)

(110)

(111)

(112)

(113)

(114)

(115)

(116)

(117)

(118)

(119)

(120)

(121)

(122)

(123)

(124)

(125)

(126)

(127)

(128)

(129)

(130)

(131)

(132)

(133)

(134)

(135)

(136)

(137)

(138)

(139)

(140)

(141)

(142)

(143)

(144)

(145)

(146)

(147)

(148)

(149)

(150)

(151)

(152)

(153)

(154)

(155)

(156)

(157)

(158)

(159)

(160)

(161)

(162)

(163)

(164)

(165)

(166)

(167)

(168)

(169)

(170)

(171)

(172)

(173)

(174)

(175)

(176)

(177)

(178)

(179)

(180)

(181)

(182)

(183)

(184)

(185)

(186)

(187)

(188)

(189)

(190)

(191)

(192)

(193)

(194)

(195)

(196)

(197)

(198)

(199)

(200)

(201)

(202)

(203)

(204)

(205)

(206)

(207)

(208)

(209)

(210)

(211)

(212)

(213)

(214)

(215)

(216)

(217)

(218)

(219)

(220)

(221)

(222)

(223)

(224)

(225)

(226)

(227)

(228)

(229)

(230)

(231)

(232)

(233)

(234)

(235)

(236)

(237)

(238)

(239)

(240)

(241)

(242)

(243)

(244)

(245)

(246)

(247)

(248)

(249)

(250)

(251)

(252)

(253)

(254)

(255)

(256)

(257)

(258)

(259)

(260)

(261)

(262)

(263)

(264)

(265)

(266)

(267)

(268)

(269)

(270)

(271)

(272)

(273)

(274)

(275)

(276)

(277)

(278)

(279)

(280)

(281)

(282)

(283)

(284)

(285)

(286)

(287)

(288)

(289)

(290)

(291)

(292)

(293)

(294)

(295)

(296)

(297)

(298)

(299)

(300)

(301)

(302)

(303)

(304)

(305)

(306)

(307)

(308)

(309)

(310)

(311)

(312)

(313)

(314)

(315)

(316)

(317)

(318)

(319)

(320)

(321)

(322)

(323)

(324)

(325)

(326)

(327)

(328)

(329)

(330)

(331)

(332)

(333)

(334)

## 手 続 補 正 書

昭和 53年 7月 18日

特許庁長官殿

## 1. 事件の表示

特願昭 53-059427号

## 2.発明の名称

半導体装置の製造方法

## 3. 補正をする者

事件との関係 特許出願人

住所 京都市右京区花園土室町10番地

名称 (294) 立石電機株式会社

代表者 立石 一真

特許出願人 立石電機株式会社

代理人 弁理士 離波国英

立石電機  
昭和54年7月18日

## 4. 代理人

郵便番号 550

住所 大阪市西区西本町1丁目5番3号(法善ビル)

氏名 弁理士 (7415) 離波国英

電話大阪 (06) 538-1288番

## 5. 補正命令の日付

昭和 53年 7月 20日

## 6. 補正の対象

明細書の「発明の詳細を説明」

(2)

## 7. 補正の内容

A: 明細書

(1) 第4頁第8行目;

「アを」とあるを「アされたガリウムヒ素(GaAs)を」と補正いたします。

(2) 第4頁第5行目;

「ち、P」とあるを「ち、第2図のように、P」と補正いたします。

(3) 第5頁第1行目;

「10」とあるを「9」と訂正いたします。